

## 明 細 書

### CAM回路及びその出力方法

#### 技術分野

- [0001] 本発明は、CAM(Content Addressable Memory)回路に関する。CAMは、データを指定すると、その値と同じ記憶データを保持するアドレスが得られるメモリである。CAMは、ネットワークスイッチ、キャッシュメモリ等の用途に使われる。

#### 背景技術

- [0002] 一般に、CAMの動作には、格納データを書き込むための書き込み動作と、格納データを読み出すための読み出し動作と、検索データと格納データの一致を検出するための検索動作がある。検索動作では、検索データと格納データの一致検出を全ビット並行に行い、アドレス毎の検索結果を出力する。
- [0003] 図10に示す従来のCAMメモリセル100は、データを格納するメモリ部101と、メモリ部101に格納されたデータとCAM外部より入力された検索データとの一致を検出するデータ比較部102からなる。データ比較部102には、検索データを印加するためのコンペア線CP及び反コンペア線／CPが接続されている。
- [0004] 書き込み動作では、書き込みアドレスのワード線WLを“H”にしてトランジスタ103, 104をONにし、ビット線BLの書き込みデータ、および、反ビット線／BLの反転データをインバータ105, 106で格納する。
- [0005] 検索動作では、トランジスタ110をONにしてマッチ線MTをプリチャージしておき、データ比較部102にて、コンペア線CPの値、および、その反転データである反コンペア線／CPの値と格納データとを比較する。一致していればマッチ線MTは“H”を保持し、不一致ならば“L”になる。
- [0006] 例えば、格納データが“1”のとき、インバータ106の出力は“H”であり、インバータ105の出力は“L”であり、それぞれに対応するトランジスタ107, 108がそれぞれONとOFFになっている。この状態でコンペア線CPに“1”を、反コンペア線／CPに“0”を与えると、トランジスタ109はOFF状態を保ち、プリチャージされたマッチ線MTは“H”を保持する。すなわち、格納データが“1”で検索データも“1”であって、両者が一致

しているので、マッチ線MTは“H”となる。

[0007] 上記とは逆に、コンペア線CPに“0”を、反コンペア線／CPに“1”を与えると、トランジスタ109はON状態となり、マッチ線MTは“L”となる。すなわち、格納データが“1”で検索データが“0”であって、両者が不一致であるので、マッチ線MTは“L”となる。

[0008] また、CAMにはマスク機能を持つものもある。図11はマスク機能を持った従来のCAMのメモリセル構成である。メモリ部201とマスクメモリセル202との間にデータ比較部203が介在されている。データ比較部203内のトランジスタ204は図10のトランジスタ109に相当する。データ比較部203内でマスクメモリセル202に接続されたトランジスタ205は、そのソースがトランジスタ204のドレインに接続されている。

[0009] いま、マスクメモリセル202に“0”を格納すれば、トランジスタ205がONになって、データ比較部203の動作は図10の場合と同様になる。また、マスクメモリセル202に“1”を格納すれば、トランジスタ205がOFFになり、トランジスタ204が非活性となるので、メモリ部201の状態によらずに、マッチ線MTは“H”となる。

[0010] 図12はCAMの書き込み動作を表すタイミングチャートであり、図13はCAMの検索動作を表すタイミングチャートである。

[0011] 従来の回路構成で、図14に示すように、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、検索データと比較されるのはメモリ部に書き込み中の不確定なデータであるため、マッチ線の出力が不確定になってしまうという不都合があった。そして、この不都合を回避するために、書き込み動作と検索動作の双方の動作を同一クロックサイクルにて実行することを禁止する必要がある。しかし、それでは検索動作の効率が低いものになってしまう。

## 発明の開示

[0012] 本発明は、上記の課題を解決するために次のような手段を講じる。

[0013] (1-a) 第1の解決手段として、本発明によるCAM回路は、  
ワード線およびビット線に接続されたメモリ部と、  
マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、  
前記ワード線ごとおよび前記マッチ線ごとに設けられ、前記ワード線と書き込み命

令信号がともに活性化されたときに前記マッチ線を強制的に非活性化状態にする一致キャンセル回路とを備えたものである。

[0014] この構成において、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、書き込みアドレスでは、メモリ部への書き込み命令信号とワード線とマッチ線がともに活性化され、一致キャンセル回路が動作して、活性化状態にあるマッチ線を強制的に非活性化する。つまり、書き込みアドレスにおいて、書き込み中で不安定なデータに対しては、検索データとの比較において、その比較結果を強制的に不一致とする。ここでは、検索データと格納データとの比較動作を禁止する必要性が解消されている。一方、書き込みアドレス以外のアドレスでは、一致キャンセル回路は動作せず、検索データと格納データとの比較動作を実行する。上記の結果として、同一クロックサイクルにおける書き込み動作と検索動作の双方の動作を禁止する必要がなく、前記双方の動作の同時実行が許容されることになる。

[0015] (1-b) 上記第1の解決手段に関連する本発明のCAM回路の出力方法は、ワード線およびビット線に接続されたメモリ部と、マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部とを備えたCAM回路の出力方法であって、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、前記ワード線と書き込み命令信号の両方がイネーブル状態であることを検出すれば、対応する前記マッチ線の状態を強制的に不一致とすることである。

[0016] これによれば、上記と同様にして、同一クロックサイクルにおける書き込み動作と検索動作の同時実行が許容されることになる。

[0017] (2-a) 第2の解決手段として、本発明によるCAM回路は、  
上記第1の解決手段のCAM回路において、さらに、  
コラムセレクト信号に応じて前記ビット線を選択するコラムセレクト回路と、  
前記書き込み命令信号と前記コラムセレクト信号の組み合わせに応じて前記一致キャンセル回路に対する一致キャンセルセレクト信号を生成出力する一致キャンセル制御回路とを備えたものである。

[0018] これは、コラムアドレスによってメモリセル単位でアクセス可能な場合のものである。一致キャンセル回路はメモリセルごとに設けられる。コラムアドレスを指定の上で、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、書き込みアドレスでは、メモリ部への書き込み命令信号とワード線とマッチ線がともに活性化され、一致キャンセル制御回路は書き込みアドレスに対応する一致キャンセル回路に対して一致キャンセルセレクト信号を与える。一方、書き込みアドレス以外のアドレスでは、対応する一致キャンセル回路に対して一致キャンセルセレクト信号は無効である。以上により、ワード線がイネーブルになる全アドレスの検索結果を不一致とみなすのではなく、ワード線とコラムセレクト信号によって選択されたアドレスの検索結果のみを不一致とみなす。上記の結果として、コラムアドレスを持つ場合において、書き込み動作と検索動作の双方の動作の同時実行が許容されるとともに、選択されていないコラムアドレスでは強制的に不一致にするということがなく、メモリセル単位で検索動作を効率良く進めることができる。

[0019] (2-b) 上記第2の解決手段に関連する本発明のCAM回路の出力方法は、  
上記第1の解決手段のCAM回路において、さらに、コラムセレクト信号に応じて前記ビット線を選択するコラムセレクト回路を備えたCAM回路の出力方法であって、  
メモリへの書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、前記書き込み命令信号と前記ワード線と前記コラムセレクト信号の全てがイネーブル状態であることを検出すれば、対応するマッチ線を不一致とさせることである。

[0020] これによれば、コラムアドレスを持つ場合において、上記と同様にして、選択されていないコラムアドレスでは強制的に不一致にするということがなく、検索動作を効率良く進めることができる。

[0021] (3-a) 第3の解決手段として、本発明によるCAM回路は、  
上記第1の解決手段のCAM回路において、さらに、  
書き込みデータが前記メモリ部に書き込まれるまでの経路(すなわち当該CAM回路のデータ入力部から前記ビット線までの経路)の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路と、

前記書き込みデータ比較回路による比較結果が一致を示すときは書き込みアドレスでの前記一致キャンセル回路による強制不一致出力を否定する復元調整回路とを備えたものである。

[0022] この構成によれば、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、書き込みアドレスでも検索動作を実行する。ただし、その検索動作は、書き込みデータが書き込みアドレスに格納された後で行うのではない。書き込みデータがメモリに書き込まれる前の経路において、書き込みデータ比較回路で、書き込みデータと検索データとの比較をもつて行う。データ比較部で得られた比較結果は、一致キャンセル回路によって強制的に不一致とする。その一方で、書き込みデータ比較回路で検索動作を遂行する。復元調整回路は、書き込みデータ比較回路における書き込みデータと検索データとの比較結果が不一致を示すときは、一致キャンセル回路での強制不一致の処理を生かすが、書き込みデータ比較回路での比較結果が一致を示すときは、一致キャンセル回路での強制不一致の処理を否定して、検索動作の結果を一致とするのである。

[0023] 上記の結果として、書き込み動作と検索動作の双方の動作の同時実行が許容されるとともに、書き込みデータ比較回路において書き込みデータと検索データとの比較結果が一致を示すときは、データ比較部での比較結果を強制的に不一致にすることなく、その比較結果を有効に生かすことにより、検索動作を効率良く進めることができる。

[0024] (3-b) 上記第3の解決手段に関連する本発明のCAM回路の出力方法は、上記第1の解決手段のCAM回路の出力方法において、メモリへの書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することである。

[0025] これによれば、上記と同様にして、書き込みデータ比較回路での比較結果が一致を示すときは、データ比較部での比較結果を有効に生かすことにより、検索動作を効率良く進めることができる。

[0026] (4-a) 第4の解決手段として、本発明によるCAM回路は、  
ワード線およびビット線に接続されたCAMメモリ部からなるCAMメモリセルと、  
マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、  
、  
マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、  
書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、  
書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路と、  
前記書き込みデータ比較回路による比較結果が一致を示すときは書き込みアドレスでの前記一致キャンセル回路による強制不一致出力を否定する復元調整回路とを備えたものである。

[0027] この第4の解決手段は、上記第3の解決手段をマスク機能付きのCAM回路に適用したものに相当する。この構成によれば、マスク機能付きのCAM回路において、上記第3の解決手段の場合と同様に、書き込みデータ比較回路における比較結果が一致を示すときは、その比較結果を有効に生かして、検索動作を効率良く進めることができる。加えて、マスクメモリセルを活性化しておけば、所期通りにマスク機能を発揮させることができる。

[0028] (4-b) 上記第4の解決手段に関連する本発明のCAM回路の出力方法は、  
ワード線およびビット線に接続されたCAMメモリ部からなるCAMメモリセルと、  
マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、  
、  
マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、  
書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致

キャンセル回路と、

書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、前記ワード線と書き込み命令信号の両方がイネーブル状態であることを検出すれば、対応するマッチ線を不一致とさせ、かつ前記書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と前記検索データとの比較を前記CAMメモリ部及び前記マスクメモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することである。

[0029] これによれば、上記と同様にして、書き込みデータ比較回路における比較結果が一致を示すときは、その比較結果を有効に生かして、検索動作を効率良く進めることができる。加えて、マスクメモリセルを活性化しておけば、所期通りにマスク機能を発揮させることができる。

[0030] 以上の結果として、次のような利点が生まれる。

[0031] 本発明によれば、同一クロックサイクルにおける書き込み動作と検索動作の双方の動作を禁止する必要がなく、前記双方の動作の同時実行が許容されることになる。

#### 図面の簡単な説明

[0032] [図1]図1は、本発明の第1の実施の形態におけるCAM回路のタイミングチャートである。

[図2]図2は、本発明の第1の実施の形態におけるCAM回路の構成図である。

[図3]図3は、本発明の第2の実施の形態におけるCAM回路の構成図である。

[図4]図4は、本発明の第3の実施の形態におけるCAM回路のタイミングチャートである。

[図5]図5は、本発明の第3の実施の形態におけるCAM回路の構成図である。

[図6]図6は、本発明の第3の実施の形態における別のCAM回路の構成図である。

[図7]図7は、本発明の第4の実施の形態におけるCAM回路の構成図である。

[図8]図8は、本発明の第4の実施の形態における別のCAM回路の構成図である。

[図9]図9は、本発明の第5の実施の形態におけるCAM回路のタイミングチャートである。

[図10]図10は、従来のCAMのメモリセルの構成図である。

[図11]図11は、マスク機能を持った従来のCAMのメモリセルの構成図である。

[図12]図12は、CAMの書き込み動作を表すタイミングチャートである。

[図13]図13は、CAMの検索動作を表すタイミングチャートである。

[図14]図14は、書き込み動作と検索動作の双方の動作を同一クロックサイクルにて行う場合のタイミングチャートである。発明を実施するための最良の形態 以下、本発明にかかわるCAM回路の具体的な実施の形態を図面に基づいて詳細に説明する。

[0033] (第1の実施の形態)

図1は本発明の第1の実施の形態におけるCAM回路のタイミングチャートである。図に示すように、書き込み動作中に格納データが不定になるのは書き込みアドレスの格納データである。したがって、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令された場合に、検索データと書き込みアドレスの格納データとの検索結果を不一致とみなすこととする。そして、書き込みアドレス以外のアドレスの格納データのみとコンペア線及び反コンペア線の値とを比較する。

[0034] これによれば、同一クロックサイクルにおける書き込み動作と検索動作の双方の動作を禁止する必要がなく、前記双方の動作の同時実行が許容されることになる。

[0035] 図2は第1の実施の形態におけるCAM回路の構成図である。図は、CAMメモリセルが2×2の場合を示している。20は、図10で説明した従来の技術と同様のメモリ部20aとデータ比較部20bよりなるCAMメモリセル、WL1, WL2はワード線、BL1, BL2はビット線、/BL1, /BL2は反ビット線、CP1, CP2はコンペア線、/CP1, /CP2は反コンペア線、MT1, MT2はマッチ線、Swは書き込み命令信号、21<sub>1</sub>, 21<sub>2</sub>は一致キャンセル回路、22<sub>1</sub>, 22<sub>2</sub>はAND回路、23<sub>1</sub>, 23<sub>2</sub>はNチャンネル型のトランジスタである。マッチ線MT1, MT2は、CAMメモリセル20のデータ比較部20bにおける一致検出のためのトランジスタのドレインに接続されている。m1, m2はマッチ線MT1, MT2のプリチャージ用のトランジスタである。



- [0036] 一致キャンセル回路 $21_1$ ,  $21_2$ は、それぞれ1ワードに対して1つずつ対応している。一致キャンセル回路 $21_1$ は、ワード線WL1と書き込み命令信号Swとが入力となっているAND回路 $22_1$ と、AND回路 $22_1$ の出力をゲートに入力し、ドレインがマッチ線MT1に接続され、ソースが接地されたトランジスタ $23_1$ とから構成されている。一致キャンセル回路 $21_2$ についても同様の構成となっている。
- [0037] 次に、上記のように構成された本実施の形態のCAM回路の動作を説明する。
- [0038] 例えば、1ワード目への書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、書き込み命令信号Swが活性化されるとともに、プリチャージ用のトランジスタm1, m2のONによりマッチ線MT1, MT2がプリチャージされる。また、選択された1ワード目に対応するワード線WL1も活性化される。ワード線WL1が“H”かつ書き込み命令信号Swが“H”となるので、一致キャンセル回路 $21_1$ のAND回路 $22_1$ が導通し、トランジスタ $23_1$ がONしてグランドに接続される。その結果、プリチャージで“H”とされたマッチ線MT1は、強制的に“L”、つまり不一致にされる。すなわち、データ比較部20bにおける比較結果が一致であるか不一致であるかにかかわらず、マッチ線MTを強制的に“L”にして、不一致とみなすこととなる。
- [0039] このように強制的に不一致とみなすゆえに、書き込み動作と検索動作の双方の動作を同一クロックサイクルにて実行することを禁止する必要がある。したがって、書き込みアドレス以外のアドレスのCAMメモリセル20においては、書き込み動作と検索動作の双方の動作を同一クロックサイクルにて実現することができる。すなわち、1ワード目以外のワード線WL2等につながるCAMメモリセル20については、格納データとコンペア線CP及び反コンペア線／CPの値とを比較することができる。
- [0040] また、一致キャンセル回路は、1ワードに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ビット分以下ですむ。
- [0041] なお、信号の極性が異なる場合でも本発明の範囲に含まれる。
- [0042] 以上のように本実施の形態によれば、同一クロックサイクルにおける書き込み動作と検索動作の双方の動作を禁止する必要がなく、その双方の動作の同時実行が許容されることになる。

[0043] (第2の実施の形態)

本発明の第2の実施の形態はコラムセレクト機能を有するCAM回路についてのものである。図3は本発明の第2の実施の形態におけるCAM回路の構成図である。図は、CAMメモリセルが4×1の場合を示している。30, 31はCAMメモリセル、32, 33は一致キャンセル回路、34, 36はAND回路、35はインバータ、37はコラムセレクト回路である。

[0044] 第2の実施の形態は、コラムセレクト機能を有しているので、コラムセレクト回路37、およびAND回路34, 36、インバータ35からなる一致キャンセル制御回路38が付加されている。また、図2がCAMメモリセルが2×2であるのに対し、本実施の形態は4×1であるため、一致キャンセル回路32, 33が配置されている。また、マッチ線MT1, MT2, MT3, MT4が設けられている。m1, m2, m3, m4はそれぞれマッチ線MT1, MT2, MT3, MT4のプリチャージ用のトランジスタである。

[0045] 一致キャンセル制御回路38におけるAND回路34は、書き込み命令信号Swとコラムセレクト信号ScとのAND論理をとり、その一致キャンセルセレクト信号CSとワード線WLの信号にて一致キャンセル回路32の動作を制御する。また、AND回路36は、書き込み命令信号Swとコラムセレクト信号Scのインバータ35による反転信号とのAND論理をとり、その一致キャンセルセレクト信号CS' とワード線WLの信号にて一致キャンセル回路33の動作を制御する。

[0046] 本実施の形態では、コラムセレクト信号Scが“H”のとき、コラムセレクト回路37によってビット線BL1及び反ビット線／BL1が選択され、コラムセレクト信号Scが“L”のとき、コラムセレクト回路37によってビット線BL1' 及び反ビット線／BL1' が選択されとする。

[0047] この構成において、下側のCAMメモリセル30へのデータ書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、AND回路34の出力の一致キャンセルセレクト信号CSは“H”かつワード線WL1が“H”となり、CAMメモリセル30の検索結果は強制的に不一致とみなされる。一方、このとき、AND回路36の出力の一致キャンセルセレクト信号CS' は“L”となるため、ワード線WL1が“H”であってもCAMメモリセル31の検索結果は強制的に不一致とみなされること

はない。したがって、コラムセレクト機能を有するCAM回路においても検索動作が実現される。

[0048] なお、信号の極性が異なる場合でも本発明の範囲に含まれる

以上のように本実施の形態によれば、ワード線がイネーブルになる全アドレスの検索結果を不一致とみなすのではなく、ワード線とコラムセレクト信号によって選択されたアドレスの検索結果のみを不一致とみなす。

[0049] 上記の結果として、コラムアドレスを持つ場合において、書き込み動作と検索動作の双方の動作の同時実行が許容されるとともに、選択されていないアドレスでは強制的に不一致にするということがなく、メモリセル単位で検索動作を効率良く進めることができる。

[0050] (第3の実施の形態)

本発明の第3の実施の形態は、書き込みアドレスに格納された後の書き込みデータに対する検索動作ではなく、書き込みデータがメモリに書き込まれる前の経路での、書き込みデータと検索データとの比較を通じて検索動作を行うものである。図4は本発明の第3の実施の形態におけるCAM回路のタイミングチャートである。書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、書き込みアドレスの検索動作は、書き込みアドレスにデータが格納された後で行うのではない。書き込みデータがメモリに書き込まれる前の経路で行う。すなわち、CAMの書き込みデータ入力端子からメモリのビット線BLまでの経路の信号とコンペア線CP及び反コンペア線／CPの値との比較結果を書き込みアドレスでの比較結果とする。これにより、書き込み後の格納データとコンペア線CP及び反コンペア線／CPの値との比較結果を得ることができる。それと並行して、書き込みアドレス以外のアドレスの格納データとコンペア線CP及び反コンペア線／CPの値とを比較する。以上の相乗により、書き込み動作と検索動作の双方の動作の同時実行が許容されるとともに、書き込みデータ比較回路における比較結果が一致を示すときは、データ比較部での比較結果を強制的に不一致にすることなく、その比較結果を有効に生かすことにより、検索動作を効率良く進めることができる。

[0051] 図5は第3の実施の形態におけるCAM回路の構成図である。図は、CAMメモリセ

ルが $2 \times 2$ の場合を示している。40はCAMメモリセル、 $41_1$ 、 $41_2$ は一致キャンセル回路、 $42_1$ 、 $42_2$ は書き込みデータ比較回路、 $43_1$ 、 $43_2$ はイクスクルーシブOR回路である。MEは検索動作時にマッチ線MTと同様にプリチャージされるマッチイネーブル線、meはマッチイネーブル線MEのプリチャージ用のトランジスタである。書き込みデータ比較回路 $42_1$ は、ビット線BL1の書き込みデータとコンペア線CP1のイクスクルーシブOR論理をとるイクスクルーシブOR回路 $43_1$ と、イクスクルーシブOR回路 $43_1$ の出力をゲートに入力し、ドレインがマッチイネーブル線MEに接続され、ソースが接地されたトランジスタ $44_1$ とから構成されている。書き込みデータ比較回路 $42_2$ についても同様の構成となっている。

[0052] 49は書き込みデータ比較回路 $42_1$ 、 $42_2$ による比較結果が一致を示すときは書き込みアドレスでの一致キャンセル回路 $41_1$ による強制不一致出力を否定する復元調整回路である。復元調整回路49は、AND回路 $45_1$ 、 $45_2$ 、OR回路 $46_1$ 、 $46_2$ を備えている。マッチイネーブル線MEはワード線WL1とともにAND回路 $45_1$ の2入力とされ、AND回路 $45_1$ の出力はマッチ線MT1とともにOR回路 $46_1$ の2入力とされている。OR回路 $46_1$ の出力が一致出力信号Se1となる。また、マッチイネーブル線MEはワード線WL2とともにAND回路 $45_2$ の2入力とされ、AND回路 $45_2$ の出力はマッチ線MT2とともにOR回路 $46_2$ の2入力とされている。OR回路 $46_2$ の出力が一致出力信号Se2となる。

[0053] 書き込みデータ比較回路 $42_1$ 、 $42_2$ において、ビット線BLの書き込みデータとコンペア線CPの値を比較し、1ワード中のすべてのビットが同じであれば、マッチイネーブル線MEの“H”信号を保持し、1ワード中のいずれか1ビットでも異なっていれば、強制的に“L”にする。そして、復元調整回路49においては、AND回路 $45_1$ 、 $45_2$ にてマッチイネーブル線MEとワード線WLのAND論理をとり、さらにOR回路 $46_1$ 、 $46_2$ にてその結果とマッチ線MTのOR論理をとり、OR回路 $46_1$ 、 $46_2$ の出力である一致出力信号Seを書き込みアドレスの比較結果とする。

[0054] 一致キャンセル回路 $41_1$ 、 $41_2$ の構成および動作は第1の実施の形態のものと同様である。

[0055] 次に、上記のように構成された本実施の形態のCAM回路の動作を説明する。

[0056] 例えば、1ワード目に2ビットの“11”が書き込まれ、検索データが2ビットの“11”であった場合について考える。1ワード目への書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、書き込み命令信号Swが活性化されるとともに、プリチャージ用のトランジスタm1, m2のONによりマッチ線MT1, MT2がプリチャージされる。また、プリチャージ用のトランジスタmeのONによりマッチイネーブル線MEもプリチャージされる。また、選択された1ワード目に対応するワード線WL1も活性化される。

[0057] ワード線WL1が“H”かつ書き込み命令信号Swが“H”となるので、一致キャンセル回路41<sub>1</sub>のトランジスタがONして、マッチ線MT1は強制的に“L”とされる。ところが、ビット線BL1とコンペア線CP1が同値であるため、書き込みデータ比較回路42<sub>1</sub>では、“1”, “1”を入力するので、比較結果は一致となり、イクスクルーシブOR回路43<sub>1</sub>の出力が“L”で、トランジスタ44<sub>1</sub>はOFFである。そして、ビット線BL2とコンペア線CP2も同値で、書き込みデータ比較回路42<sub>2</sub>では、“1”, “1”を入力するので、比較結果は一致となり、イクスクルーシブOR回路43<sub>2</sub>の出力が“L”で、トランジスタ44<sub>2</sub>もOFFである。その結果として、マッチイネーブル線MEは“H”を保つ。ここでワード線WL1は“H”であるため、復元調整回路49におけるAND回路45<sub>1</sub>の出力は“H”となり、マッチ線MT1の値が強制的に“L”にされていても、OR回路46<sub>1</sub>の出力つまり一致出力信号Se1は“H”となる。

[0058] ここでは、検索動作は実質的に書き込みデータ比較回路42<sub>1</sub>, 42<sub>2</sub>で遂行されている。書き込みデータ比較回路42<sub>1</sub>, 42<sub>2</sub>の双方における書き込みデータと検索データとの比較結果が一致を示すときは、復元調整回路49によって一致キャンセル回路41<sub>1</sub>での強制不一致の処理を否定して、検索動作の結果を最終的に一致とする。

[0059] 次に、1ワード目に2ビットの“11”が書き込まれ、検索データが2ビットの“01”であった場合について考える。イクスクルーシブOR回路43<sub>1</sub>の出力は“H”となり、トランジスタ44<sub>1</sub>がONするため、マッチイネーブル線MEは“L”となり、その結果、一致出力信号Se1は“L”となる。

[0060] 書き込みデータ比較回路42<sub>1</sub>, 42<sub>2</sub>の少なくともいずれか一方が不一致を示すときは、一致キャンセル回路41<sub>1</sub>での強制不一致の処理を生かすことになる。

- [0061] また、書き込みデータ比較回路42<sub>1</sub>, 42<sub>2</sub>は1ビットに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ワード分ですむ。
- [0062] なお、信号の極性が異なる場合でも本発明の範囲に含まれる。
- [0063] また、図6に示すように、書き込みデータ比較回路42をライトバッファ47の前段に挿入する回路も考えられる。
- [0064] 以上のように本実施の形態によれば、書き込み動作と検索動作の双方の動作の同時実行が許容されるとともに、書き込みデータがメモリに書き込まれる前の経路で、書き込みデータ比較回路における比較結果が一致を示すときは、データ比較部での比較結果を強制的に不一致にすることなく、その比較結果を有効に生かすことにより、検索動作を効率良く進めることができる。
- [0065] (第4の実施の形態)
- 本発明の第4の実施の形態は、マスク機能付きのCAM回路についてのものである。CAMメモリまたはマスクメモリへの書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。この場合、コンペア線CP及び反コンペア線／CPの値と書き込みアドレスの格納データとの比較結果を不一致としておく。そして、CAMメモリへの書き込み動作の場合、書き込みデータがメモリに書き込まれる前の経路において、書き込みデータ比較回路で検索動作を行う。すなわち、書き込みデータ入力端子からビット線BLまでの経路の信号とコンペア線CP及び反コンペア線／CPの値とを比較する。一方、マスクメモリへの書き込み動作の場合、書き込みデータ入力端子からメモリのビット線BLまでの経路の信号が“1”ならば書き込みアドレスでの比較結果を一致とし、“0”ならば不一致とする。それと並行して、書き込みアドレス以外のアドレスの格納データとコンペア線CP及び反コンペア線／CPの値とを比較することで、書き込み動作と検索動作の双方の動作を同一クロックサイクルにて実現することができる。しかも、マスク機能を所期通りに発揮させることができる。
- [0066] 図7は第4の実施の形態におけるCAM回路の構成図である。図は、CAMメモリセル及びマスクメモリセルが2×2の場合を示している。
- [0067] aはCAMメモリセル、bはマスクメモリセル、cはマスクメモリセルbをマッチ線MTにつなぐトランジスタである。

- [0068] 50はCAMメモリ書き込み命令信号Swとマスクメモリ書き込み命令信号Smの論理和をとるOR回路であり、一致キャンセル回路41<sub>1</sub>, 41<sub>2</sub>におけるAND回路に対しては、このOR回路50からの論理和信号が入力されている。
- [0069] 書き込みデータ比較回路51<sub>1</sub>は、イクスクルーシブNOR回路52<sub>1</sub>、NAND回路53<sub>1</sub>, 54<sub>1</sub>、Nチャンネル型のトランジスタ55<sub>1</sub>, 56<sub>1</sub>から構成されている。イクスクルーシブNOR回路52<sub>1</sub>の2入力にビット線BL1とコンペア線CP1が接続され、NAND回路53<sub>1</sub>の2入力にイクスクルーシブNOR回路52<sub>1</sub>の出力とCAMメモリ書き込み命令信号Swが接続され、NAND回路54<sub>1</sub>の2入力にマスクビット線MB1とマスクメモリ書き込み命令信号Smが接続されている。NAND回路53<sub>1</sub>の出力がトランジスタ55<sub>1</sub>のゲートに接続され、NAND回路54<sub>1</sub>の出力がトランジスタ56<sub>1</sub>のゲートに接続されている。トランジスタ55<sub>1</sub>, 56<sub>1</sub>が直列に接続され、直列接続のトランジスタ55<sub>1</sub>, 56<sub>1</sub>を介してマッチイネーブル線MEが接地されている。書き込みデータ比較回路51<sub>2</sub>も同様の構成となっている。
- [0070] 書き込みデータ比較回路51<sub>1</sub>, 51<sub>2</sub>は1ビットに対して1つの回路を設けるだけでよく、面積増加はメモリセル1ワード分である。
- [0071] 次に、上記のように構成された本実施の形態のCAM回路の動作を説明する。
- [0072] (1) 書き込みデータに対して検索データが一致する場合の動作
- 例えば、1ワード目のCAMメモリセルaに2ビットの“11”が書き込まれ、検索データが2ビットの“11”であった場合について考える。1ワード目への書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。検索動作時にはマッチイネーブル線MEもマッチ線MTと同様にプリチャージされる。CAMメモリ書き込み命令信号Swが活性化され“H”となるが、マスクメモリ書き込み命令信号Smは非活性で“L”のままである。
- [0073] この場合、あらかじめプリチャージで“H”にされたマッチ線MT1は一致キャンセル回路41<sub>1</sub>により強制的に“L”とされる。このとき、ビット線BL1とコンペア線CP1が同値であるため、書き込みデータ比較回路51<sub>1</sub>におけるイクスクルーシブNOR回路52<sub>1</sub>の出力は“H”となりかつCAMメモリ書き込み命令信号Swは“H”であるため、NAND回路53<sub>1</sub>の出力は“L”となり、トランジスタ55<sub>1</sub>はOFFのままである。一方、ビット線BL

2とコンペア線CP2も同値であるため、1ビット目と同様の動作により書き込みデータ比較回路51<sub>2</sub>におけるトランジスタ55<sub>2</sub>もOFFのままである。その結果、プリチャージ状態のマッチイネーブル線MEは“H”を保つ。ここでワード線WL1は“H”であるため、復元調整回路49におけるAND回路45<sub>1</sub>の出力が“H”となる。したがって、書き込み動作と検索動作の双方の動作が同一クロックサイクルのためにマッチ線MT1の値が強制的に“L”にされても、OR回路46<sub>1</sub>からの一致出力信号Se1は“H”となる。なお、このとき、マスクメモリ書き込み命令信号Smは“L”で、NAND回路54<sub>1</sub>の出力が“H”であるので、トランジスタ56<sub>1</sub>はON状態となっているが、上記の動作結果には影響しない。

[0074] (2) 書き込みデータに対して検索データが不一致の場合の動作

次に、例えば、1ワード目のCAMメモリセルaに2ビットの“11”が書き込まれ、検索データが2ビットの“01”であった場合について考える。書き込みデータ比較回路51<sub>1</sub>におけるイクスクルーシブNOR回路52<sub>1</sub>の出力は、上記とは逆に、“L”となり、NAND回路53<sub>1</sub>の出力は“H”となり、トランジスタ55<sub>1</sub>がONする。また、上記のとおり、マスクメモリ書き込み命令信号Smが“L”となっていることから、トランジスタ56<sub>1</sub>はON状態である。その結果、マッツイネーブル線MEは反転して“L”となり、一致出力信号Se1は“L”となる。

[0075] すなわち、マスク機能をもち、書き込みデータ比較回路をメモリセル本体の前段に設けるとともに、復元調整回路を備えた構成のCAM回路において、書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたときに、マスクメモリ書き込み命令信号Smを非活性の状態にすれば、第3の実施の形態と同様の動作となる。

[0076] (3) マスクメモリセルに“11”をセットの場合

1ワード目のマスクメモリセルbに2ビットの“11”が書き込まれる場合について考える。1ワード目への書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとする。マスクメモリ書き込み命令信号Smが活性化され“H”となるが、CAMメモリ書き込み命令信号Swは非活性で“L”のままである。

[0077] この場合、一致キャンセル回路41<sub>1</sub>によりマッチ線MT1は強制的に“L”とされるが、



マスクビット線MB1が“H”であり、かつマスクメモリ書き込み命令信号Smは“H”であるため、書き込みデータ比較回路51<sub>1</sub>におけるNAND回路54<sub>1</sub>の出力は“L”となり、トランジスタ56<sub>1</sub>はOFFとなる。そしてマスクビット線MB2も“H”であるため、1ビット目と同様の動作により、書き込みデータ比較回路51<sub>2</sub>におけるトランジスタ56<sub>2</sub>もOFFとなる。その結果、プリチャージ状態のマッチイネーブル線MEは“H”を保つ。ここでワード線WL1は“H”であるため、復元調整回路49におけるAND回路45<sub>1</sub>の出力が“H”となる。したがって、書き込み動作と検索動作の双方の動作が同一クロックサイクルのためにマッチ線MT1の値が“L”であっても、OR回路46<sub>1</sub>からの一致出力信号Se1は“H”となる。なお、このとき、CAMメモリ書き込み命令信号Swは“L”で、NAND回路53<sub>1</sub>、53<sub>2</sub>の出力が“H”であるので、トランジスタ55<sub>1</sub>、55<sub>2</sub>はON状態となっているが、トランジスタ56<sub>1</sub>、56<sub>2</sub>がOFF状態であるため、上記の動作結果には影響しない。

[0078] (4) マスクメモリセルに“01”をセットの場合

次に、例えば、1ワード目のマスクメモリセルbに2ビットの“01”が書き込まれる場合について考える。マスクビット線MB1が“L”となるので、書き込みデータ比較回路51<sub>1</sub>におけるNAND回路54<sub>1</sub>の出力は“H”となり、トランジスタ56<sub>1</sub>が反転してONする。また、上記のとおり、CAMメモリ書き込み命令信号Swが“L”となっていることから、トランジスタ55<sub>1</sub>はON状態である。その結果、マッチイネーブル線MEは反転して“L”となり、一致出力信号Se1は“L”となる。

[0079] なお、マスクメモリセルに“10”や“00”をセットする場合も同様に、一致出力信号Se1は“L”となる。

[0080] なお、信号の極性が異なる場合でも本発明の範囲に含まれる。

[0081] 本実施の形態では、ライトバッファに入力される前のCAMメモリセルへの書き込みデータ、コンペア線CP、マスクメモリセルへの書き込みデータにて比較をしているが、図8に示すようにデータ比較回路51をライトバッファ57の前段に挿入する回路も考えられる。

[0082] 以上のように本実施の形態によれば、マスク機能付きのCAM回路において、書き込み動作と検索動作の双方の動作の同時実行が許容されるとともに、書き込みデー

タ比較回路における比較結果が一致を示すときは、データ比較部での比較結果を強制的に不一致にすることなく、その比較結果を有効に生かすことにより、検索動作を効率良く進めることができる。もちろん、マスク機能を所期通りに発揮させることができる。

[0083] (第5の実施の形態)

図9は本発明の第5の実施の形態におけるCAM回路のタイミングチャートである。図に示すように、書き込み動作と検索動作の双方の動作が行われるクロックサイクルを時間的に2分割し、書き込み動作をクロックサイクルの前半、検索動作をクロックサイクルの後半で行うことを特徴とする。本実施の形態では、検索動作が開始されるまでに格納データの書き換えが完了しているため、検索結果(マッチ線の値)が不定となることはない。また動作の順序を入れ替えて、検索動作をクロックサイクルの前半、書き込み動作をクロックサイクルの後半で行う実施の形態も考えられる。

[0084] 以上のように本実施の形態によれば、メモリへの書き込み動作及び検索動作が行われる期間を1クロックサイクル内で分割し、それぞれの期間で前記メモリへの書き込み動作及び前記検索動作を完結させることで検索動作時にメモリ内部が不定値となることを防ぎ、前記メモリへの書き込み動作及び前記検索動作を同一クロックサイクルにて行う。同一クロックサイクルにおける書き込み動作と検索動作の双方の動作を禁止する必要がなく、しかもデータ比較部での比較結果を強制的に不一致にすることなく、書き込み動作と検索動作の双方の動作を同一クロックサイクル(前半と後半)にて実現することが可能となる。

産業上の利用可能性

[0085] 本発明のCAM回路は、ネットワークスイッチ、キャッシュメモリ等として有用である。

## 請求の範囲

- [1]     ワード線およびビット線に接続されたメモリ部と、  
        マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、  
        前記ワード線ごとおよび前記マッチ線ごとに設けられ、前記ワード線と書き込み命令信号がともに活性化されたときに前記マッチ線を強制的に非活性化状態にする一致キャンセル回路とを備えたCAM回路。
- [2]     請求項1に記載のCAM回路において、さらに、  
        コラムセレクト信号に応じて前記ビット線を選択するコラムセレクト回路と、  
        前記書き込み命令信号と前記コラムセレクト信号の組み合わせに応じて前記一致キャンセル回路に対する一致キャンセルセレクト信号を生成出力する一致キャンセル制御回路とを備えたCAM回路。
- [3]     請求項1に記載のCAM回路において、さらに、  
        書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路と、  
        前記書き込みデータ比較回路による比較結果が一致を示すときは書き込みアドレスでの前記一致キャンセル回路による強制不一致出力を否定する復元調整回路とを備えたCAM回路。
- [4]     ワード線およびビット線に接続されたCAMメモリ部からなるCAMメモリセルと、  
        マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と、  
        、  
        マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、  
        書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致キャンセル回路と、  
        書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路と、

前記書き込みデータ比較回路による比較結果が一致を示すときは書き込みアドレスでの前記一致キャンセル回路による強制不一致出力を否定する復元調整回路とを備えたCAM回路。

- [5]     ワード線およびビット線に接続されたメモリ部と、マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記メモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部とを備えたCAM回路の出力方法であって

、  
書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、前記ワード線と書き込み命令信号の両方がイネーブル状態であることを検出すれば、対応する前記マッチ線の状態を強制的に不一致とすることを特徴とするCAM回路の出力方法。

- [6]     請求項2に記載のCAM回路の出力方法であって、メモリへの書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、前記書き込み命令信号と前記ワード線と前記コラムセレクト信号の全てがイネーブル状態であることを検出すれば、対応するマッチ線を不一致とさせることを特徴とするCAM回路の出力方法

。

- [7]     請求項5に記載のCAM回路の出力方法であって、メモリへの書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路の出力方法。

- [8]     ワード線およびビット線に接続されたCAMメモリ部からなるCAMメモリセルと、  
マッチ線およびコンペア線に接続され、前記マッチ線を活性化した状態で前記CAMメモリ部に格納されたデータと前記コンペア線のデータを比較するデータ比較部と

、

マスクビット線と、前記CAMメモリ部と共通のワード線と、マスクメモリ部からなり、活性状態で前記データ比較部の動作を停止するマスクメモリセルと、

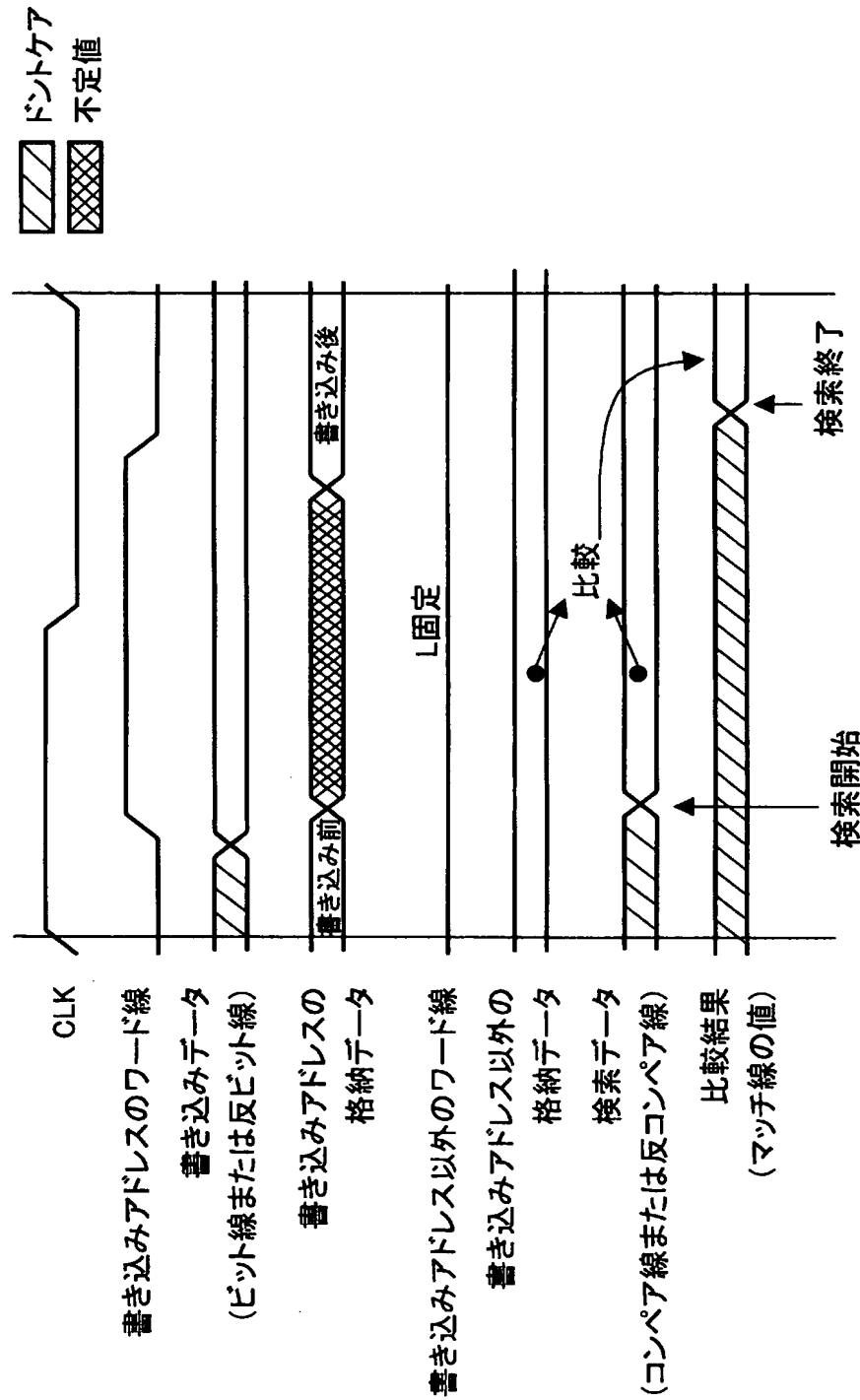
書き込み命令信号と前記ワード線の値に応じて前記マッチ線の値を変更する一致

キャンセル回路と、

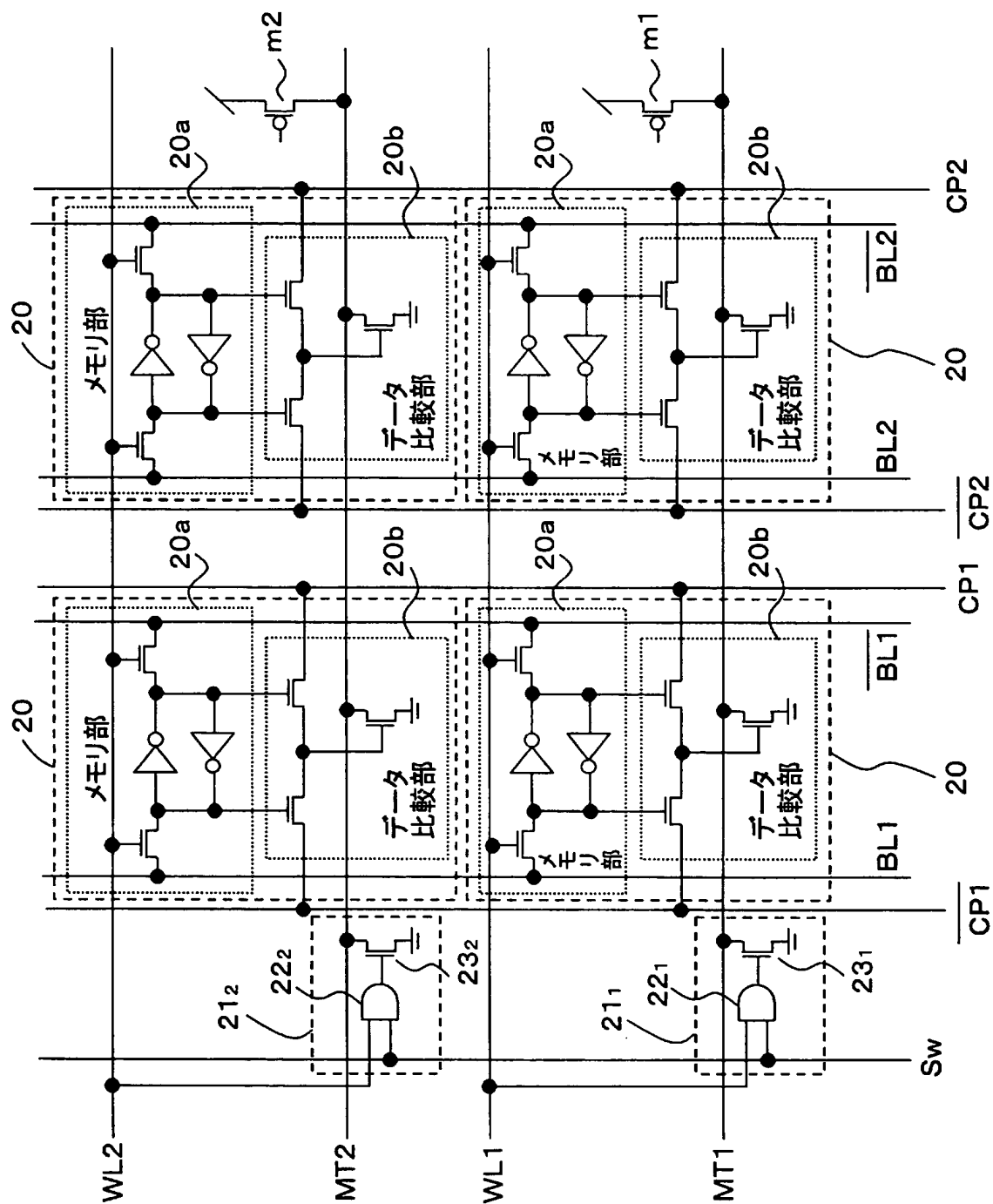
書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と検索データとの比較を前記メモリ部の外部で行うための書き込みデータ比較回路とを備えたCAM回路の出力方法であって、

書き込み動作と検索動作の双方の動作が同一クロックサイクルにて命令されたとき、前記ワード線と書き込み命令信号の両方がイネーブル状態であることを検出すれば、対応するマッチ線を不一致とさせ、かつ前記書き込みデータが前記メモリ部に書き込まれるまでの経路の信号と前記検索データとの比較を前記CAMメモリ部及び前記マスクメモリ部の外部にて行い、その比較結果に応じて書き込みアドレスの一致検出結果を不一致から一致に変更することを特徴とするCAM回路の出力方法。

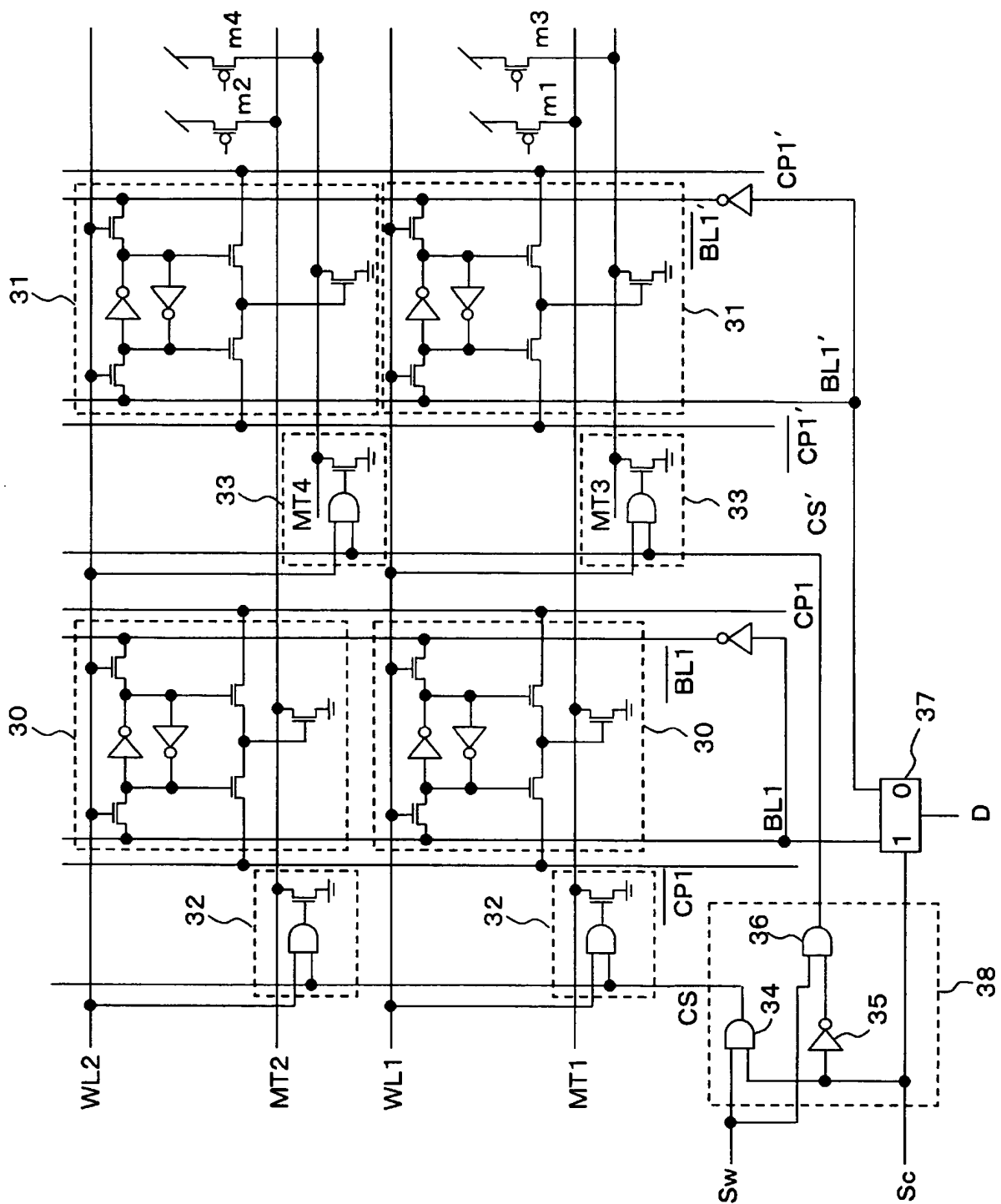
[図1]



[図2]

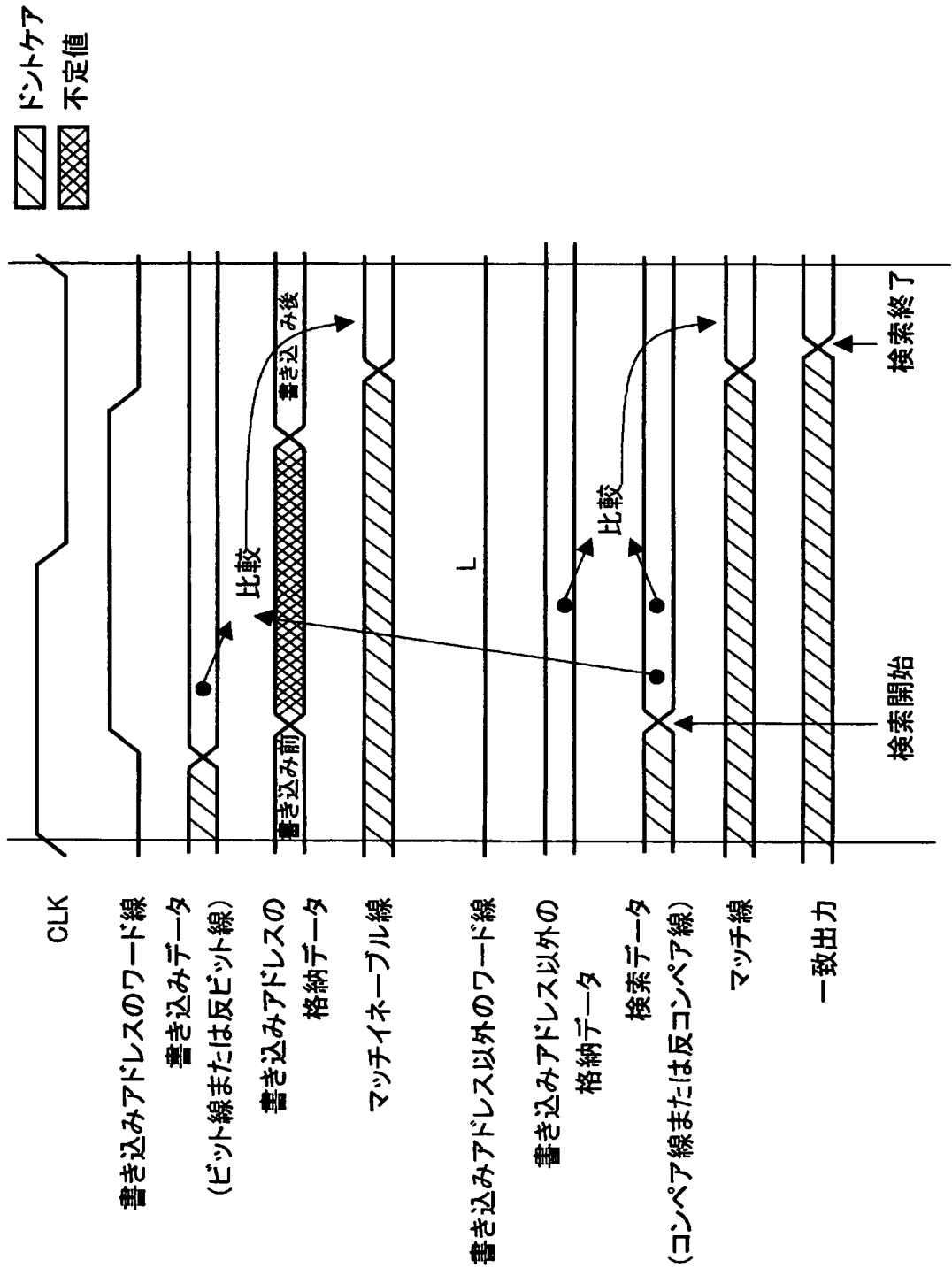


[図3]

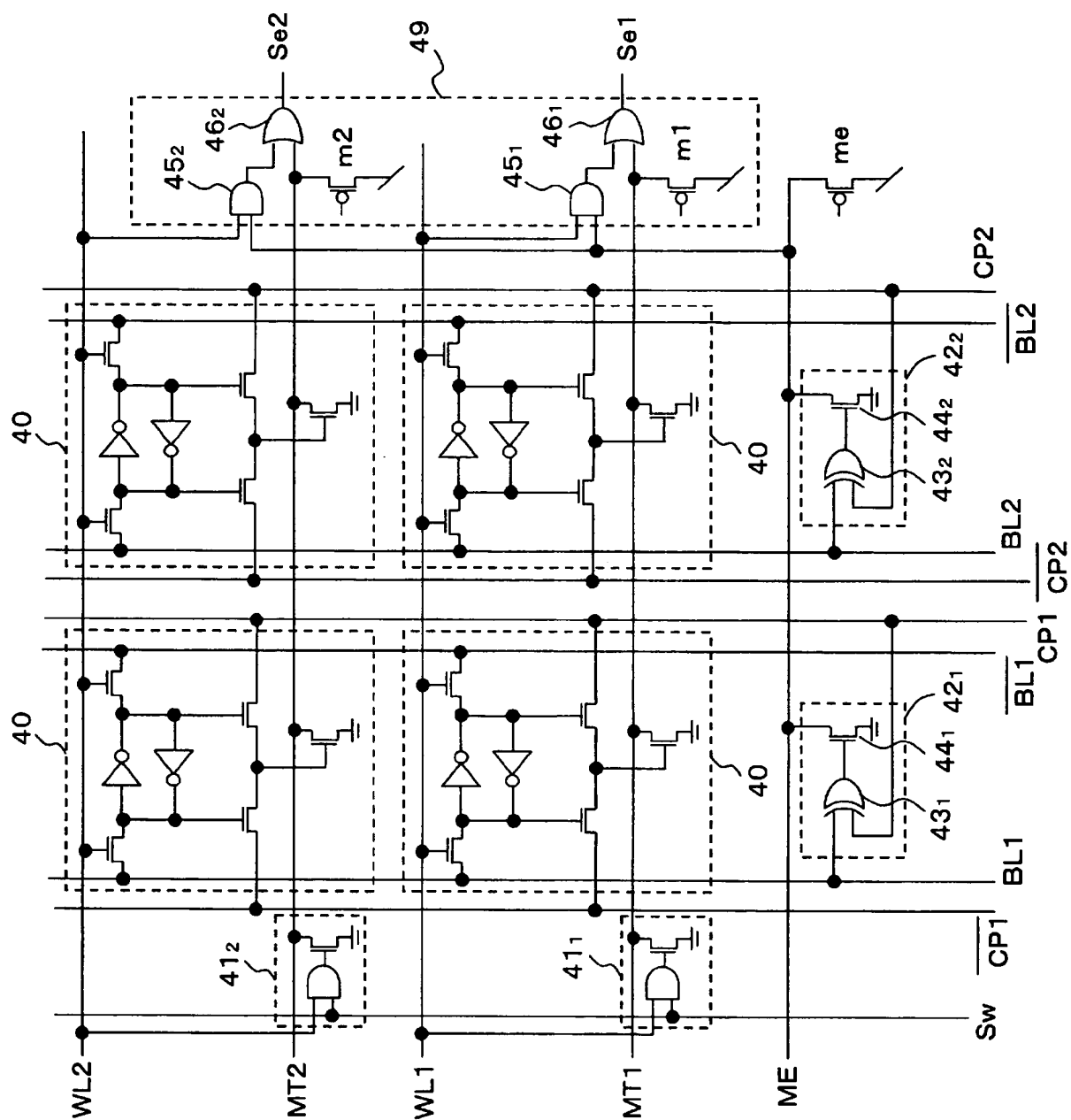




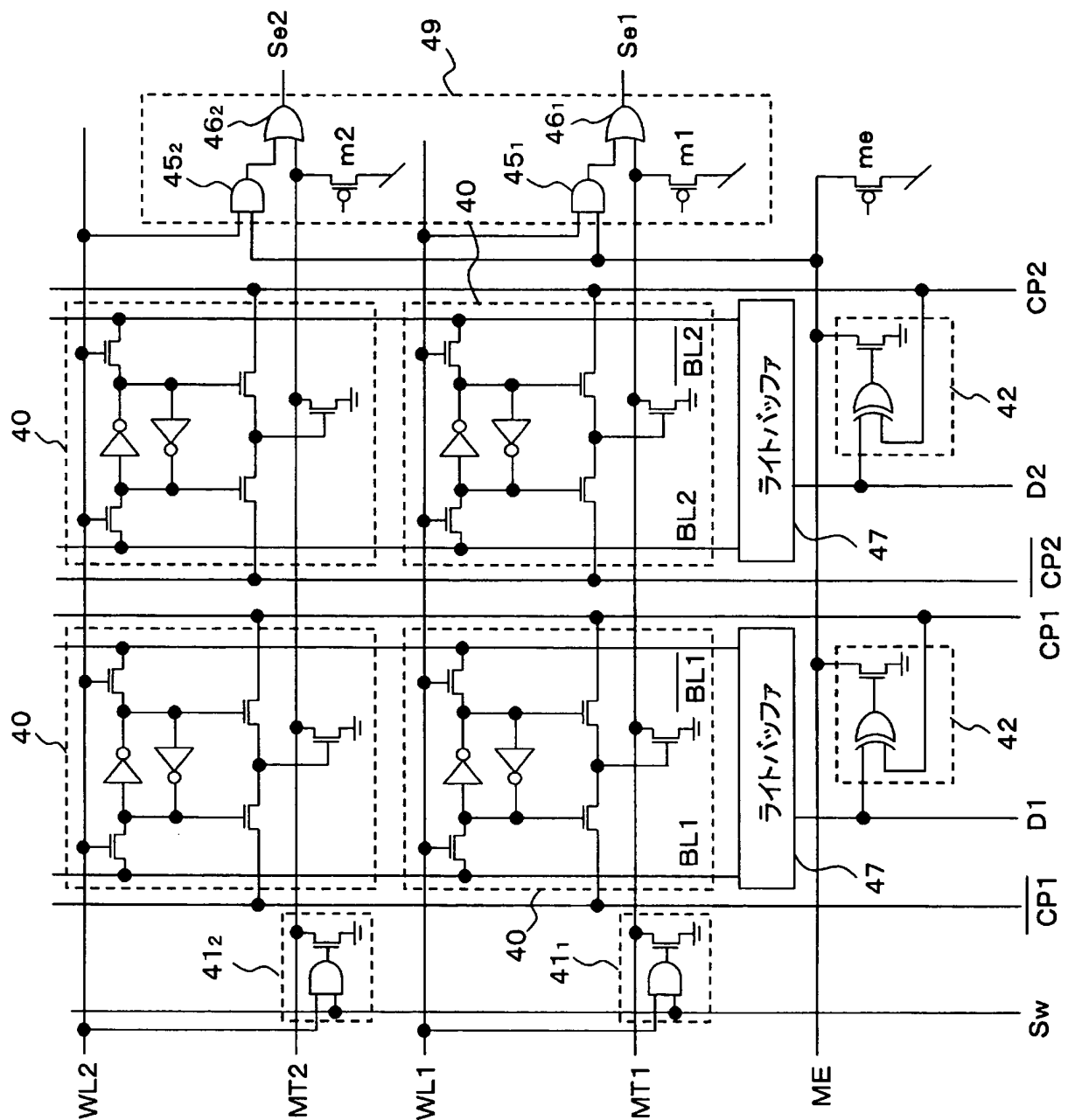
[図4]



[図5]

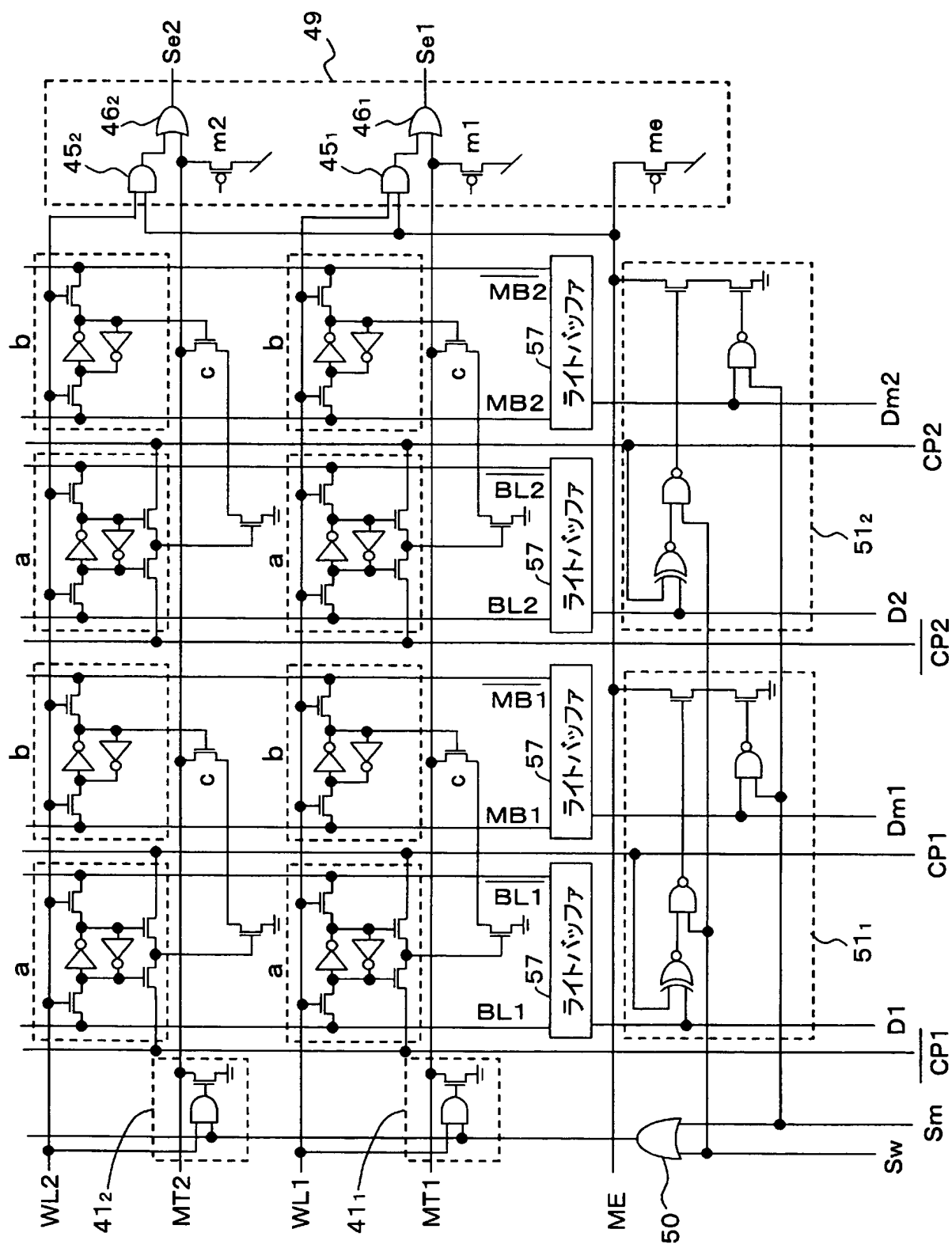


[図6]

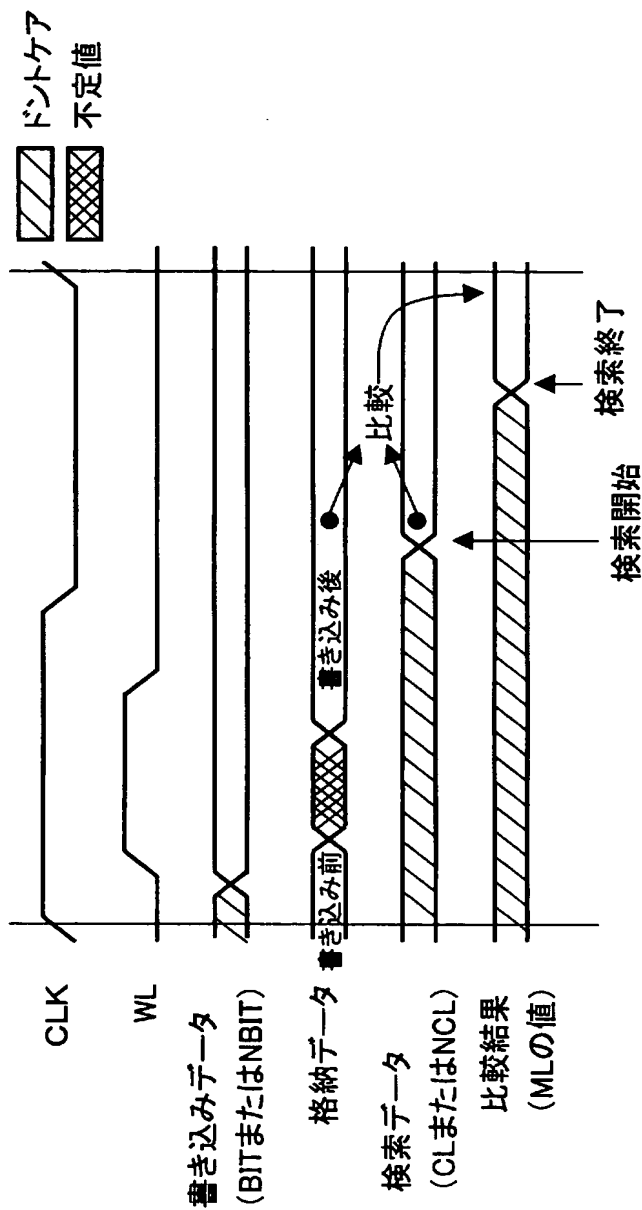




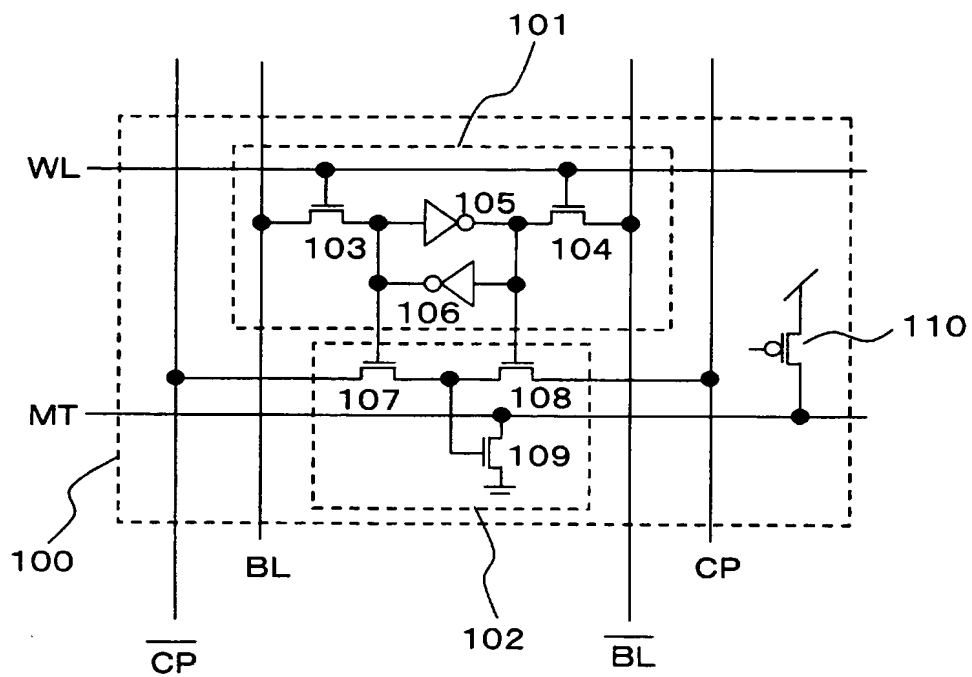
[図8]



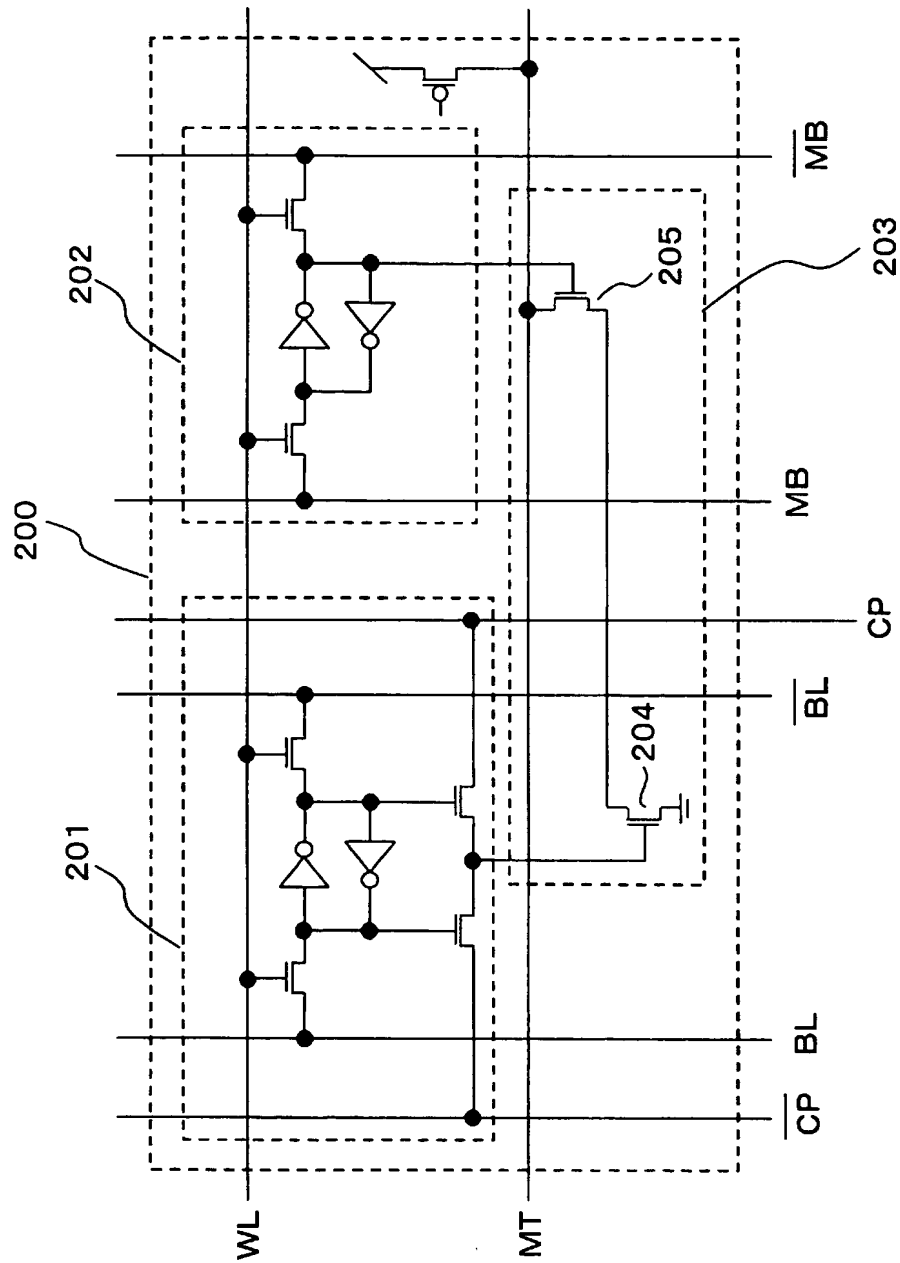
[図9]



[図10]

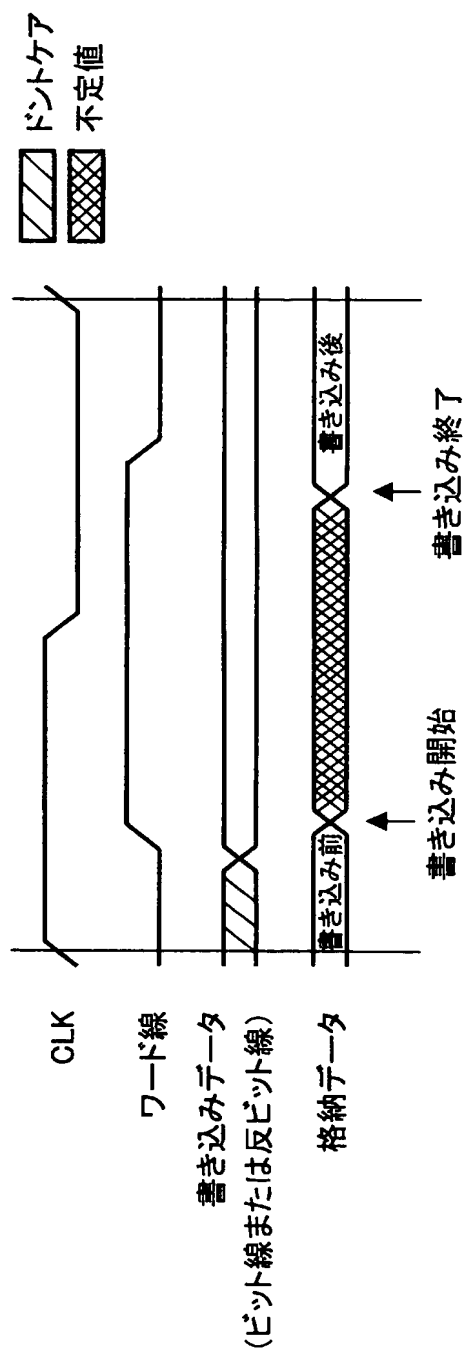


[図11]

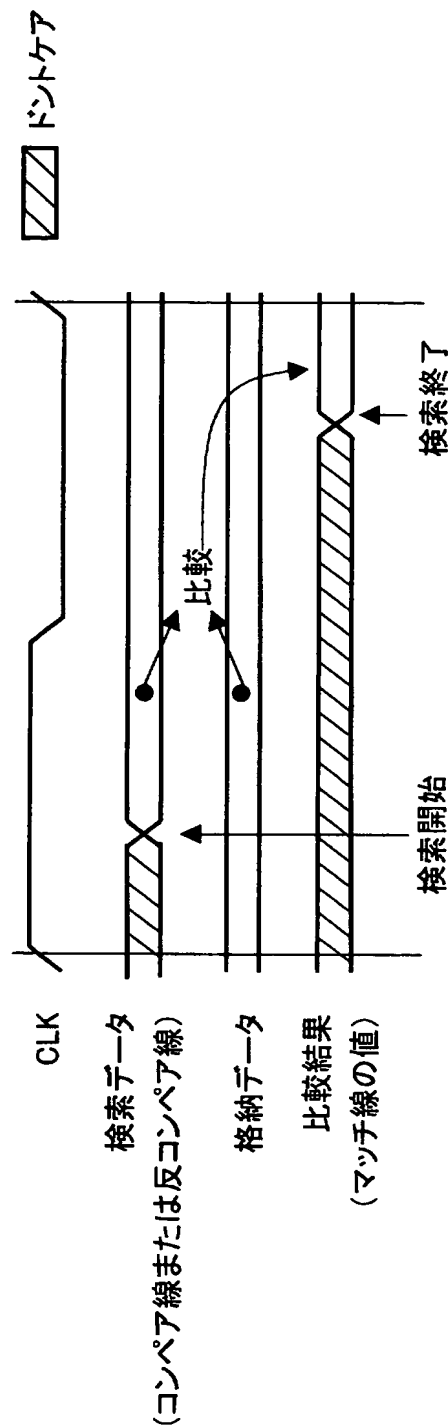




[図12]



[図13]



[図14]

